

OPTICAL CONNECTION CIRCUIT

Patent Number: JP63280206
Publication date: 1988-11-17
Inventor(s): MIYAGAWA TOSHIYA
Applicant(s): NEC CORP
Requested Patent: ☐ JP63280206
Application Number: JP19870114545 19870513
Priority Number(s):
IPC Classification: G02B6/42; G02B6/12
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain an optical connection circuit capable of positioning between light emitting channels and optical waveguides at their height direction, lateral direction and inclination on a substrate face without adjustment at the time of mounting a light emitting element, being easily mounted and improving its productivity by engaging projection parts of the light emitting element with guide grooves formed on a substrate.

CONSTITUTION: Plural optical waveguides 2 and plural guide grooves 7 having the same center axes as that of respective waveguides 2 are formed on the silicon substrate 1. Each optical waveguide 2 consists of a core layer 12 and a buffer layer 11 and each guide groove 7 is positioned on an extension line from one end of each optical waveguide 2 and forming a metal film 10 for fusing/electrode tacking-out on its bottom. Plural projection parts 9 are formed around respective light emitting channels 8 on the (p) side of an LD 5 to be an end face emission type light emitting element. The guide grooves 7 and projection parts 9 are formed so that both the parts are accurately engaged with each other and the center axes of the optical waveguides 2 coincide with the channels 8 of the LD 5. Since the projection parts 9 and the guide grooves 7 are previously formed on the light emitting element and the optical waveguide substrate 1, the light emitting element can be adjustlessly and accurately packed.

Data supplied from the esp@cenet database - I2



⑫ 公開特許公報(A)

昭63-280206

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)11月17日

G 02 B 6/42
6/128507-2H
B-8507-2H

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 光接続回路

⑭ 特 願 昭62-114545

⑮ 出 願 昭62(1987)5月13日

⑯ 発 明 者 宮 川 俊 哉 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 岩佐 義幸

明 細 書

〔従来の技術〕

1. 発明の名称

光接続回路

2. 特許請求の範囲

(1) 発光チャンネルを有する突起部が一面に形成された発光素子と、

基板上に形成された光導波路と、

この光導波路の一端側において前記突起部と等しい幅で前記基板に形成されていて、前記突起部とかみ合わされている案内溝とを有することを特徴とする光接続回路。

(2) 特許請求の範囲第1項に記載の光接続回路において、

前記発光素子は、端面発光型発光素子であることを特徴とする光接続回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、発・受光素子その他の光デバイスと光導波路の光接続のための光接続回路に関するものである。

光通信の発展に伴い、基板上に半導体レーザー(以下LDと略す)や光スイッチ等の光機能素子をハイブリッドに集積し、これらの素子間を光導波路で結ぶ光回路が開発されている。そして、光通信の利用度、重要性が高まるにつれ、これらの光導波路と光機能素子あるいは光導波路アレイと光機能素子アレイの光接続回路では、特に高精度で低損失かつ生産性のよい光接続回路が必要とされてきている。

従来、この種の光接続回路としては、多数の方法によるものが提案されているが、この一方法として、次のような方法が知られている。第4図のように、この方法では、シリコン基板1上に多モードの光導波路2を有し、かつ光導波路端部3近傍にLDガイド4が形成されているものを用意し、これをLD5と組み合わせる。この場合、横方向の位置合わせは、LD5のp側を上にしてLDガイド4の側面とLD5の端面を突き合わせ、LDガイド4に平行にずらし、LD5の受光チャンネル

ルを埋め込んだ際に、LD5のp側にできる活性層ストライプ6を目安として、LD発光チャンネルと光導波路2の位置合わせを行い融着する。

また、上下方向の位置合わせについては、LD5のn側を研磨することにより活性層が導波路の中央に位置するように調整しておく。

(発明が解決しようとする問題点)

しかし、この従来例では、横方向の位置合わせについては、幅数 $10\mu\text{m}$ の光導波路2と幅 $1\mu\text{m}$ 程度の活性層ストライプ6を目安とするため、LD発光チャンネルを光導波路2の中心に正確に合わせるためには熟練が必要とされる。

特に、単一モード光導波路では、接続損失を低減するために $\pm 1\mu\text{m}$ の位置合わせ精度が要求され、従来例の方法では不可能である。

また、単一モード光導波路では、シリコン基板1から光導波路2中心までの高さは、 $5\sim 10\mu\text{m}$ 程度と多モード光導波路に比べ非常に小さく、LDをこの厚さまで研磨することは不可能である。

この問題はLDの成長層であり、発光チャンネル

に近いp側を下にして融着することにより解決できる。しかし、p側を下にするときは、活性層ストライプはp側にしかないため、これでは横方向の位置合わせの目安がなくなってしまい、従来例の方法では位置合わせすることができない。

本発明の目的は、手間のかかる調整を行わずに簡単かつ容易に実装が可能で、生産性の向上も図れる光接続回路を提供することにある。

(問題点を解決するための手段)

本発明の光接続回路は、

発光チャンネルを有する突起部が一面に形成された発光素子と、

基板上に形成された光導波路と、

この光導波路の一端側において前記突起部と等しい幅で前記基板に形成されていて、前記突起部とかみ合わされている案内溝とを有することを特徴としている。

(作用)

本発明の構成をとることにより、発光素子の突起部と基板上に形成した案内溝をかみ合わせるこ

とにより、発光素子実装時の発光チャンネルと光導波路の高さ方向、横方向、及び基板面内の傾きの位置合わせが無調整で行える。

発光素子および光導波路と案内溝の加工はフォトリソグラフィ法により、同時にまとめて大量に作製でき、本発明によれば、光接続回路の実装にかかる時間の大部分を占めていた調整が不要となるため、大幅な生産性の向上が実現できる。

また、位置合わせの目安が必要でないため発光素子のp側及びn側のどちらを下にして実装することも可能である。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の構造を示す斜視図であり、また、第2図はその基本的構造の説明図である。

本実施例は、LDアレイと複数の光導波路を接続する場合の光接続回路に適用したもので、各図に示すように、シリコン基板1上には複数の光導波路2及び各光導波路2と中心軸を同じくする複

数の案内溝7が形成されている。

各光導波路2は、光導波路コア層12と光導波路バッファ層11から成り、各案内溝7はそれぞれこの光導波路2の一端の延長線上に位置しており、またその底部には融着用兼電極取出し用の金属膜10が形成されている(第1図)。

端面発光型発光素子としてのLD5のp側には、各発光チャンネル8を中心に、両側を削り落とすことにより、複数の突起部9が形成されている。突起部9は、図示の場合は底面に形成されており、案内溝7の幅と突起部9の幅とは等しく設定されている。これら突起部9は、シリコン基板1側の各案内溝7とかみ合わせるによりLD5の実装を行うためのもので、案内溝7と突起部9とは正確にかみ合うように形成され、かつかみ合わせた時、光導波路2の中心軸とLD5の発光チャンネル8が一致するように形成されている。

このように、上面ないし底面に発光チャンネル8をはさんで発光チャンネル8に平行な稜線を有する突起部9を持つ端面発光型発光素子と、基板

1上に形成された光導波路2及び基板1上の光導波路2の一端の延長線上に光導波路2の中心軸と平行で、かつ突起部9と等しい幅の案内溝7とから成り、突起部9の中心軸から発光チャンネル8までの横ズラシ量と光導波路中心から案内溝7の中心軸までの横ズラシ量が等しく、光導波路中心から案内溝7底部までの深さを、突起部9から発光チャンネル中心までの高さとして、発光素子と案内溝9をかみ合わせた構成となっている。

LD5の実装は次のようにして行う。

第2図に示すように、それぞれあらかじめ突起部9と案内溝7を形成したものを用意し、突起部9を案内溝7にかみ合わせるようにして両者を結合させる。この場合、既述したように、案内溝7と突起部9を正確にかみ合うように形成し、かつかみ合わせた時、光導波路2の中心軸とLD5の発光チャンネル8が一致するように形成しておくことにより、横方向の位置合わせは不要となる。

横方向の位置合わせについては、LD5の突起部9端面と光導波路2の端面を突き合わせるこ

とにより行う。案内溝7と突起部9をかみ合わせるにより、基板面内の傾きの調整が不要となることも明らかである。あらかじめ突起部9を形成しておくことにより、LD5のp側、n側どちらを下にして実装することも可能となる。

また、高さ方向の位置合わせは、案内溝7の底部のシリコン基板1上に形成したLD融着用兼電極取出し用金属膜10の膜厚と光導波路パッファ層11の膜厚をあらかじめ制御しておくことにより行う。

以上説明した方法によれば、シリコン基板1とLD5の凹凸を組み合わせるにより、横方向、高さ方向及び傾きを無調整でLD5の実装が行える。

さらに、LDアレイの各チャンネル間に凹部を作成することにより、各チャンネル間の電気的な絶縁もとれる。

さらにまた、LDアレイを駆動するためには、従来例では各チャンネルのp側電極に電線をボンディングしなければならない、チャンネル数が増え

ると煩雑になるが、本実施例では、融材を兼ねた電極パターン、すなわち金属膜10を基板1側に作成するためこの手間がいらない。

なお、光導波路2と案内溝7は、シリコン基板1上に成膜したパッファ層11及びコア層12を反応性イオンエッチング等の方法によりパターン化し、さらに、フォトリソをマスクとして溝底部に融着用兼電極取出し用金属膜10を蒸着することにより、同時に形成することができる。

また、LDアレイの突起部9はLDの活性層ストライプを中心に金属膜をマスクとしてイオンミリング等の方法により発光チャンネル間を掘り込むことにより作成することができる。この場合、突起部9に残る金属膜はそのまま融材として利用することができる。

第3図は本発明の他の実施例を示す。本実施例では、アレイの各チャンネル間に凹凸を作成せずに、アレイ全体を一組の凹凸で組み合わせた例であり、1つの幅広の突起部9とこれに対応する1つの幅広の案内溝7とをかみ合わせて実装してい

る。

なお、以上の説明では、LDアレイについて説明したが、本発明はこれに限定されるものではなく、単一チャンネルのLDについても、本発明を適用できるのは勿論である。

(発明の効果)

以上説明したように、本発明によれば、発光素子及び光導波路基板にあらかじめ突起部や案内溝を設けておくことにより、目合わせの印を利用したり、光導波路に入射する発光素子の出力光をモニターしながら調整するという手数がかからずに、無調整かつ精密に発光素子を実装することが可能である。

また、突起部や案内溝の形成は、数10から数100個の単位で一括して行うことができるから、この工程が増えることを考慮に入れても、従来実装にかかる時間の大部分を占めていた調整が不要となるため、大幅な生産性の向上も可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す斜視図、

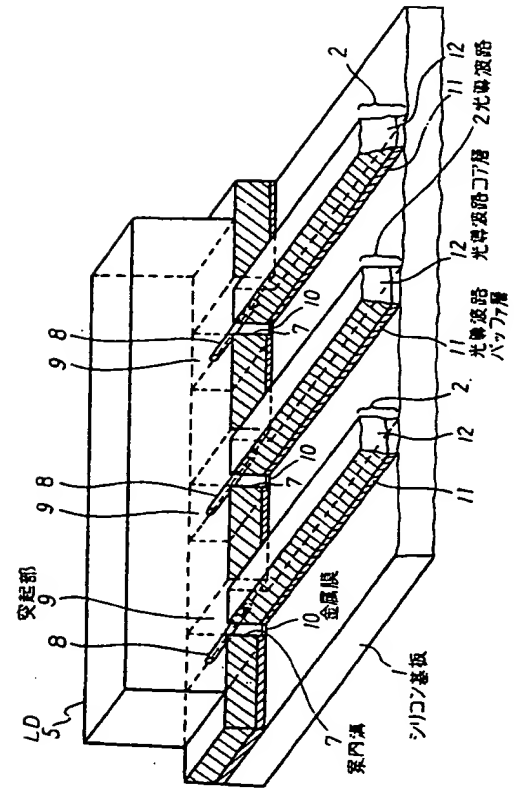
第2図はその実施例の基本的 造における実装
説明図、

第3図は本発明の他の実施例を示す斜視図、

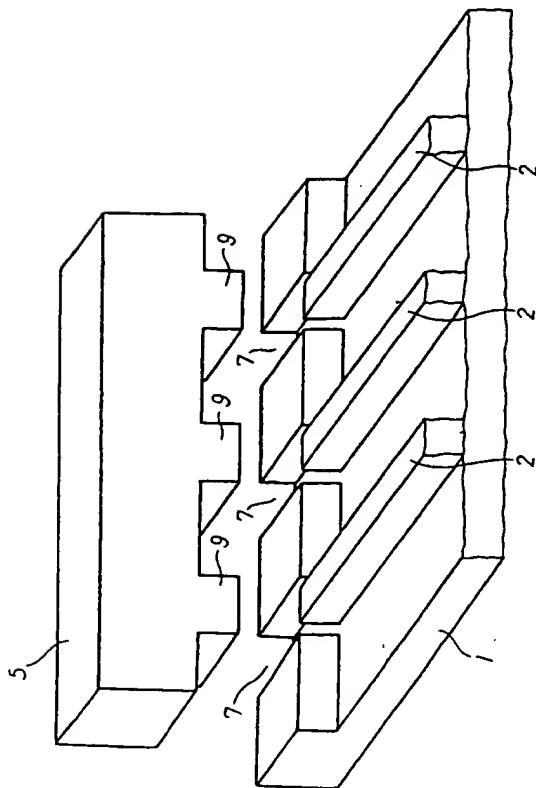
第4図は従来例の構成を示す斜視図である。

- 1 シリコン基板
- 2 光導波路
- 3 光導波路端部
- 4 LDガイド
- 5 LD
- 6 活性層ストライプ
- 7 案内溝
- 8 発光チャンネル
- 9 突起部
- 10 金属膜
- 11 光導波路バッファ層
- 12 光導波路コア層

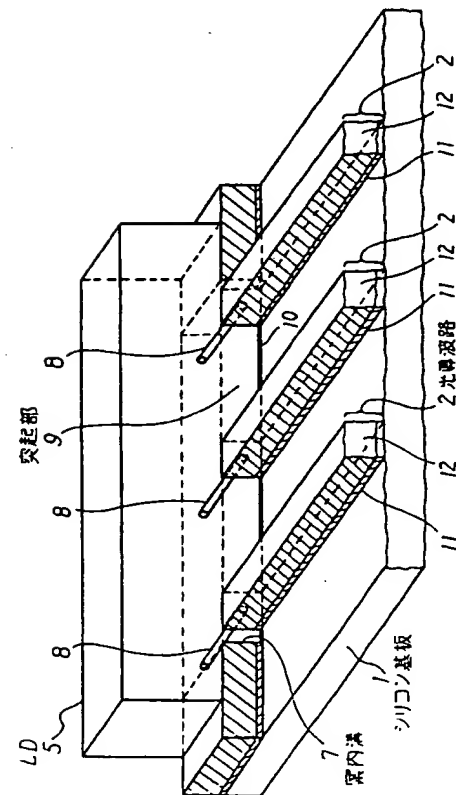
代理人 弁理士 岩佐 義幸



第1図



第2図



第3図

METHOD FOR DETERMINING INSERTION POSITION OF PROBE PIN

Patent Number: JP63250574
Publication date: 1988-10-18
Inventor(s): YOKOHAMA HIROKI
Applicant(s): NEC CORP
Requested Patent: ☐ JP63250574
Application Number: JP19870086601 19870407
Priority Number(s):
IPC Classification: G01R31/28; H01L21/66
EC Classification:
Equivalents:

Abstract

PURPOSE:To enable common utilization for plural kinds of packages by generating automatically probe pin position information which is usable in common while optimizing the number of probe point positions so that it is minimum.

CONSTITUTION:Package circuit information 10 is converted by a connection information extracting device 1 and a test program generating device 2 into a test program 12 for a in-circuit test, and package circuit connection information 11 is generated in the process of this conversion, package by package. A fixture probe pin position information generating device 3 is used to generate fixture probe pin information 13 which is usable to inspect plural packages according to plural pieces of said information. Then while the number of probe pin positions is optimized to the smallest value, the fixture pin probe position information 13 which can be used in common is generated automatically.

Data supplied from the esp@cenet database - I2

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02126685
PUBLICATION DATE : 15-05-90

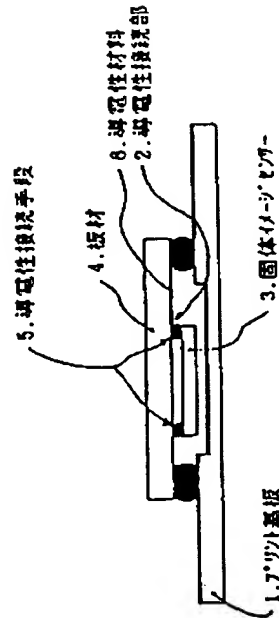
APPLICATION DATE : 07-11-88
APPLICATION NUMBER : 63280574

APPLICANT : SEIKO EPSON CORP;

INVENTOR : NAKAMURA KENZO;

INT.CL. : H01L 31/02

TITLE : SOLID-STATE IMAGE SENSOR



ABSTRACT : PURPOSE: To reduce a drop in a yield due to dust particles or the like which are mixed and to sharply reduce a cost by a method wherein a conductive connection part of a solid-state image sensor and a patterned conductive connection part of a sheet material are connected directly by a conductive connection means such as a conductive adhesive, gold, a solder or the like.

CONSTITUTION: A conductive material 6 is patterned on a sheet material 4 composed of a transparent material such as a plastic sheet, a glass sheet or the like; a conductive connection part 2 and a conductive connection part of a solid-state image sensor 3 are connected directly by a conductive connection means 5 such as a conductive adhesive, gold, a solder or the like. The solid-state image sensor which has been sealed in this manner may be connected, as required, to a substrate into which other electronic circuits have been assembled, such as a printed-circuit board 1, by a soldering operation by using the conductive adhesive; it may be assembled into another package by a means such as the soldering operation or the like.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-126685

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月15日

H 01 L 31/02

7522-5F H 01 L 31/02

B

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 固体イメージセンサー

⑮ 特 願 昭63-280574

⑯ 出 願 昭63(1988)11月7日

⑰ 発 明 者 中 村 健 三 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

固体イメージセンサー

2. 特許請求の範囲

プラスチック板、ガラス板、等の透明な材料を使用した板材には固体イメージセンサーが組み立てられて成り、前記板材には導電性を有する材料がパターンニングされており、前記板材のパターンニングされた導電性接続部と前記固体イメージセンサーの導電性接続部は、導電性接着材や金、半田等の導電性接続手段によって直接接続されて成ることを特徴とする固体イメージセンサー。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は固体イメージセンサーの封止形態に関する。

[従来の技術]

従来、固体イメージセンサーは第2図に示す如きセラミックパッケージに封止されるのが通例であった。

すなわち、第2図ではフレーム11が組み込まれたセラミックパッケージ12に受光チップ13がリード線16と共に組み立てられ、受光窓はガラス窓14がセラミックパッケージ12に低融点ガラス15にて封止されて成る。

[発明が解決しようとする課題]

従来技術においては、

- (1) セラミックパッケージのコストが高い
 - (2) ダイアタッチ、ボンディング、キャップ封止、等完成までの工程がながい為、組立コストが高くまた組立工程においてゴミが混入し易く歩留りの向上が困難である。
- 等の問題点があった。

本発明はかかる従来技術の問題点をなくし、低

